

# 시스템 반도체 전망과 시뮬레이션 전략

2023년 5월 16일 (화) 오전 10시 - 오후 4시 40분 코엑스 컨퍼런스 E (3F)

사전 등록

시간

내용

## Registration (10:00 - 10:30)

10:30 - 11:00	<p><b>Building High-Perormance and Energy Efficient Inference Chips for ChatGPT</b> (ChatGPT향 고성능 AI 반도체 개발)</p> <p>The demand for deep learning inference in data centers is growing rapidly. While energy efficiency is important to reduce TCO (total cost of ownership), high performance is also essential to serve large models in production. Hyperscalers, on the other hand, emphasized the importance of programmability and flexibility for inference accelerators to track DNN progress]. In order to build a production accelerator for all these challenging requirements, instead of building a chip that is optimized for a specific model, the architecture should expose the raw ability to maximize parallelism and energy efficiency of DNN models to the software with well-defined abstraction. Software stack should also exploit every parallelism and energy efficiency for each operator and model. To accomplish such cross-layer optimizations within algorithm, architecture, and software, small and excellent teams must communicate deeply and closely, and design methodologies and the infrastructures must support these communication structures.</p>	<p>퓨리오사에이아이 백준호 대표</p>
------------------	---	----------------------------

11:00 - 11:25	<p><b>Rigid-Flex PCB의 Bending의 영향을 고려할 수 있는 분석 솔루션</b></p> <p>일반적인 PCB와는 다르게 Rigid-Flex PCB의 경우 적층이 불규칙하며 Bending이 된 상태로 동작되게 된다. Bending이 적용된 Rigid-Flex PCB는 Bending 각도에 따라서 전기적 특성이 바뀌며 기존 2.5D로 분석하던 PCB 구조와는 다르게 Bending이 적용된 PCB는 3D로 해석해야하며 많은 하드웨어 리소스가 필요하며 분석 시간 또한 많이 소요되는 문제가 있다.</p> <p>본 발표에서는 Bending에 따라 변하는 Rigid-Flex PCB를 매우 빠르고 정확하게 해석하는 전기적 특성 분석 방법을 소개한다.</p>	<p>태성에스엔이 박유순 매니저</p>
------------------	---	---------------------------

11:25 - 11:50	<p><b>PCB에 형성되는 전류와 열 하중에 대한 신뢰성 분석</b></p> <p>전자기기 PCB의 성능 저하 및 고장의 원인은 발열에 의한 비중이 매우 높다. 사용 중에 발생하는 발열 문제를 해결하기 위해 실제의 설계 구조와 사용환경에 대한 경계조건을 고려하여 신뢰성 확보를 위한 설계 검증 과정들에 대해 살펴 본다.</p>	<p>태성에스엔이 이종학 팀장</p>
------------------	---	--------------------------

## Lunch (11:50 - 13:10)

13:10 - 13:35	<p><b>경쟁력 있는 Advanced Packaging 개발을 위한 해석적 접근</b></p> <p>최근 고성능 반도체에 대한 수요가 급증하며 소형화, 고집적화에 대한 요구가 커지고 있어 이를 해결하기 위한 첨단 패키징 기술 개발이 가속화 되고 있다. 첨단 패키징은 설계 단계에서부터 다양한 설계 변수에 따른 SI/PI 그리고 EMI/EMC에 대한 이슈가 매우 많다. 본 발표에서는 이러한 첨단 패키징 개발과 관련하여 최근 트렌드와 CAE(해석)을 통한 개발 단계의 Issue 해결 방안에 대하여 소개 하고자 한다.</p>	<p>태성에스엔이 김지원 선임팀장</p>
------------------	---	----------------------------

13:35 - 14:05	<p><b>Mechanical Simulation을 활용한 Large BD FCLBGA warpage 저감</b></p> <p>최근 High performance, Automotive 등 고성능을 요구하는 차세대 package에 대한 수요가 증가하고 있다. 이러한 고성능을 요구하는 trend에 따라 package의 크기 또한 증가하는 추세인데, 일반적으로 Large BD package의 경우 warpage 또한 필연적으로 커질 수 밖에 없다. 그러나 package의 warpage가 크면 일반적으로 잘 알려져 있듯 Solder ball Non-wet issue, Bump crack, Underfill crack 등 많은 issue를 동반하기 때문에 warpage를 줄이는 것이 가장 큰 숙제이다.</p> <p>본 발표에서는 mechanical simulation을 통해 Large BD FCLBGA package의 warpage를 줄일 수 있는 factor를 파악하여, package design optimization을 원활하게 진행할 수 있도록 guidance를 제공하는 것에 목적이 있다.</p>	<p>엠코테크놀로지 박유수 책임</p>
------------------	---	---------------------------

시간

내용

**사출 성형 해석을 통한 Underfill과 EMC Molding 공정 구현 방법**

14:05  
- 14:30

패키지를 외부 충격과 진동으로부터 보호하기 위해 용융된 에폭시로 감싸주는 Molding 공정이 있다. 또한 칩과 캐리어 간 열 팽창 계수 차이로 인한 솔더의 파손을 방지하고, 먼지 또는 흡습의 영향을 최소화하기 위해 패키지 밑을 수지로 채우는 Underfill 공정도 진행된다. 이 두 공정 모두 용융된 수지를 캐비티 안에 주입하여 제품을 성형하는 사출 성형 공법이 적용된다. 사출 성형 해석을 통해 수지의 유동 특성을 파악하고, 충전 시간과 미성형 여부 등 Molding과 Underfill 공정을 예측한 사례와 방법에 대해 살펴본다.

태성애스엔이  
전영은 수석매니저

**고성능 SoC(AI, HPC, AIoT) Off-chip 레벨의 신호무결성 시뮬레이션 및 디자인 최적화**

14:30  
- 15:00

AI, HPC, AIoT 어플리케이션을 위한 고성능 SoC 개발 및 디자인에 필요한 Off-chip에서의 High-speed 메모리 및 SerDes 인터페이스에 대한 Signal/Power Integrity Simulation 사례에 대해 소개하고자 한다.

세미파이브  
남상규 수석연구원

**Break Time (15:00 - 15:20)**

**2.5D/3D 반도체 패키지 분석을 위한 빠르고 정확한 EM 분석 솔루션**

15:20  
- 15:45

본 발표는 반도체 패키지 기판을 Ansys HFSS/Slwave/3D-Layout Tool을 이용하여 분석하고 시뮬레이션 시간과 결과 정확도를 비교 분석한다. 이를 통해 시스템 AI 반도체 패키지 기판의 효율적인 시뮬레이션 방법과 Tool의 특징점을 비교 검토 한다.

이엠랩  
양정규 대표

**PCB 전원 무결성 향상을 위한 PDN DC/AC 특성 해석**

15:45  
- 16:10

PCB/PKG, 커넥터가 결합된 대규모 시스템 레벨 및 3D 형상의 기구물과 결합된 모델의 해석은 해석시간이 매우 오래 소요되거나 초기 메쉬 생성에 실패하여 해석이 불가능한 경우가 발생한다. 본 발표에서는 3D Component 기반으로 다양한 최적의 메쉬기법을 독립적으로 설정하여 기존 해석이 불가능했던 모델의 해석은 물론 해석 시간 단축이 가능한 Ansys HFSS의 Mesh Fusion 기능에 대해 소개하고자 한다.

태성애스엔이  
김미정 매니저

**고속신호 설계 최적화를 위한 IBIS-AMI 해석**

16:10  
- 16:35

IBIS-AMI 모델을 이용한 PCB 분석은 설계한 PCB가 설계 요구 사항을 충족하는지 확인하고 비용이 많이 드는 실제 측정 전에 잠재적인 문제를 식별하고 수정하는 데 필수적인 기술이다. 이번 발표에서는 PCB 분석에 관심이 있는 사람들에게 적합한 해석 방법과 프로그램을 사용하는 단계별 가이드를 제공한다. 다음 단계를 따르면 PCB의 전기 및 전자기 특성을 시뮬레이션 및 분석하고 특정 애플리케이션 및 작동 조건에 맞게 설계를 최적화가 가능하다.

태성애스엔이  
김재익 매니저

**EVENT**

**사전 등록**

사전 등록 후 참석하신 분들 중 추첨을 통해 총 20분께 커피 기프티콘을 드립니다.



**설문 참여**

세미나에 참여하신 후 설문 참여하신 분들 중 추첨을 통해 20분께 편의점 상품권을 드립니다. (5,000원권)

